

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-261292

(43)Date of publication of application : 13.09.2002

(51)Int.Cl.

H01L 29/786  
H01L 21/336  
H01L 29/78

(21)Application number : 2001-358332

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.11.2001

(72)Inventor : SHINO TOMOAKI

(30)Priority

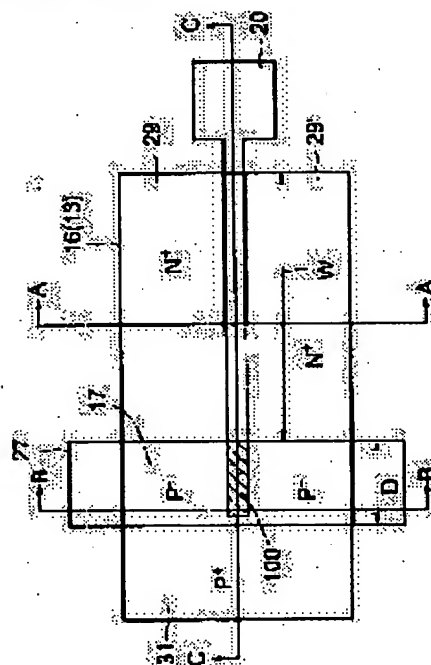
Priority number : 2000395726 Priority date : 26.12.2000 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device that can reduce parasitic capacitance, and to provide a method for manufacturing the semiconductor device.

**SOLUTION:** This semiconductor device has a P-type substrate potential control layer 17 that is formed in an element region 16, a gate electrode 20 that is selectively formed on the substrate potential control layer 17 via a gate insulating film, an insulating film mask 27 that is formed on one portion of at least gate the electrode 20 and one portion of the substrate potential control layer 17, and N+type source and drain regions 29 and 29', that are adjacent to the gate electrode 20 for forming in an element region 19, that is not covered with the insulating film mask 27 and gate electrode 20.



## LEGAL STATUS

[Date of request for examination]

07.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-261292

(P2002-261292A)

(43) 公開日 平成14年9月13日 (2002.9.13)

(51) IntCl.<sup>7</sup>

H01L 29/786  
21/336  
29/78

識別記号

F I

H01L 29/78

テマコード\* (参考)

626B 5F110  
301X 5F140  
301L

審査請求 有 請求項の数29 OL (全 16 頁)

(21) 出願番号 特願2001-358332 (P2001-358332)

(22) 出願日 平成13年11月22日 (2001.11.22)

(31) 優先権主張番号 特願2000-395726 (P2000-395726)

(32) 優先日 平成12年12月26日 (2000.12.26)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 篠 智彰

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

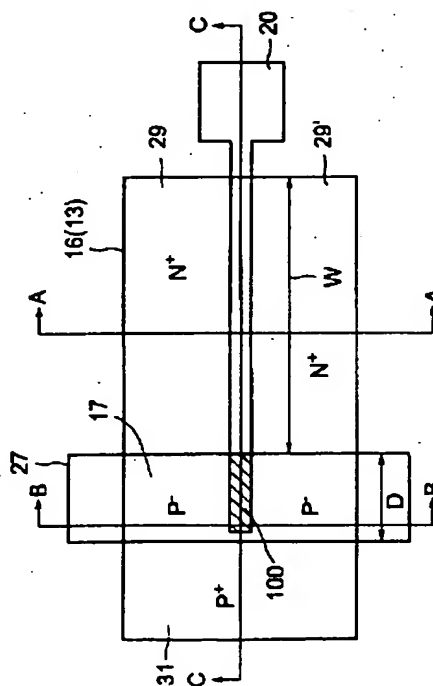
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 寄生容量を低減することが可能な半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置は、素子領域16内に形成されたP<sup>-</sup>型の基板電位制御層17と、この基板電位制御層17上にゲート絶縁膜を介して選択的に形成されたゲート電極20と、少なくともこのゲート電極20の一部及び基板電位制御層17の一部上に形成された絶縁膜マスク27と、この絶縁膜マスク27及びゲート電極20で覆われていない素子領域19内に、ゲート電極20と隣接して形成されたN<sup>+</sup>型のソース・ドレイン領域29、29'とを具備する。



## 【特許請求の範囲】

【請求項1】 素子領域内に形成された第1導電型の半導体層と、

前記半導体層上にゲート絶縁膜を介して選択的に形成された第1のゲート電極と、

少なくとも前記第1のゲート電極の一部及び前記半導体層の一部上に形成された第1の絶縁膜マスクと、

前記第1の絶縁膜マスク及び前記第1のゲート電極で覆われていない前記素子領域内に前記第1のゲート電極に隣接して形成され、ソース又はドレインとして使用される第2導電型の一对の第1の拡散領域とを具備することを特徴とする半導体装置。

【請求項2】 前記第1のゲート電極は、前記素子領域内に端部を有しており、

前記第1の絶縁膜マスクは、前記第1のゲート電極のゲート長方向に前記素子領域を横断して前記第1のゲート電極の前記端部及び前記半導体層上に形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1の絶縁膜マスクに隣接し、前記第1の拡散領域と反対側に形成され、前記半導体層より高濃度の第1導電型の第2の拡散領域とをさらに具備することを特徴とする請求項2記載の半導体装置。

【請求項4】 前記第1のゲート電極は、第1の方向に配置され、第1の部分と第2の部分とを有し、前記第1の部分は前記第1の絶縁膜マスクの下に位置し、

前記第1の部分の端と前記半導体層の端との前記第1の方向と垂直な第2の方向における距離は、前記第2の部分の端と前記第1の拡散領域の端との前記第2の方向における距離より短いことを特徴とする請求項2又は3記載の半導体装置。

【請求項5】 前記第2の拡散領域を軸として、前記第1のゲート電極、前記第1の絶縁膜マスク及び前記第1の拡散領域と線対称に、第2のゲート電極、第2の絶縁膜マスク及び第3の拡散領域がそれぞれ一对形成され、前記第1のゲート電極と前記第2のゲート電極、前記第1の拡散領域と前記第3の拡散領域はそれぞれ接続されていることを特徴とする請求項3記載の半導体装置。

【請求項6】 前記第1の拡散領域と前記第2の拡散領域とは所定間隔離間され、

前記所定間隔は、前記第1の絶縁膜マスクの幅であることを特徴とする請求項3記載の半導体装置。

【請求項7】 前記第1のゲート電極は、前記素子領域を横断して形成されており、

前記第1の絶縁膜マスクは、前記一对の第1の拡散領域の一方側の前記半導体層上から少なくとも前記第1のゲート電極の一部上に至るまで形成されていることを特徴とする請求項1記載の半導体装置。

【請求項8】 前記第1の絶縁膜マスクの周辺の前記素子領域内に、前記一对の第1の拡散領域の一方と隣接し

て形成された前記半導体層より高濃度の第1導電型の第2の拡散領域とをさらに具備することを特徴とする請求項7記載の半導体装置。

【請求項9】 前記第1の絶縁膜マスクは、前記素子領域の端部に形成されていることを特徴とする請求項8記載の半導体装置。

【請求項10】 前記第1の絶縁膜マスクは、前記素子領域の中央部に形成されていることを特徴とする請求項8記載の半導体装置。

【請求項11】 少なくとも前記一对の第1の拡散領域の一方と前記第2の拡散領域との境界面上に形成されたシリサイド膜とをさらに具備することを特徴とする請求項8記載の半導体装置。

【請求項12】 前記一对の第1の拡散領域の一方と前記第2の拡散領域との境界面上に形成されたコンタクトとをさらに具備することを特徴とする請求項8記載の半導体装置。

【請求項13】 前記一对の第1の拡散領域の一方と前記第2の拡散領域とが同電位であることを特徴とする請求項8記載の半導体装置。

【請求項14】 前記第1の絶縁膜マスク下の前記半導体層と前記一对の第1の拡散領域の一方との境界付近に形成された格子欠陥領域とをさらに具備することを特徴とする請求項7記載の半導体装置。

【請求項15】 前記第1の絶縁膜マスク下の前記素子領域の表面に形成され、前記第1の拡散領域よりも低濃度の第2導電型の第4の拡散領域とをさらに具備することを特徴とする請求項14記載の半導体装置。

【請求項16】 前記格子欠陥領域は、前記半導体層と前記第4の拡散領域との境界付近にも形成されていることを特徴とする請求項15記載の半導体装置。

【請求項17】 前記第1のゲート電極は、前記半導体層上で実質的に直線状であることを特徴とする請求項1、2、7のいずれか1項に記載の半導体装置。

【請求項18】 前記第1の絶縁膜マスクは、前記第1のゲート電極の側壁に形成されたスペーサと同じ材料であることを特徴とする請求項1、2、7のいずれか1項に記載の半導体装置。

【請求項19】 前記半導体層の下に絶縁膜が形成されていることを特徴とする請求項1、2、7のいずれか1項に記載の半導体装置。

【請求項20】 素子領域を形成する工程と、前記素子領域内に第1導電型の半導体層を形成する工程と、

前記半導体層上に第1のゲート電極をゲート絶縁膜を介して選択的に形成する工程と、

少なくとも前記第1のゲート電極の一部及び前記半導体層の一部上に第1の絶縁膜マスクを形成する工程と、前記第1の絶縁膜マスクを用いて、前記第1のゲート電極に隣接する前記素子領域内に、ソース又はドレインと

して使用する第2導電型の一对の第1の拡散領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項21】 前記第1のゲート電極は、前記素子領域内に端部を有して形成し、

前記第1の絶縁膜マスクは、前記第1のゲート電極のゲート長方向に前記素子領域を横断して前記第1のゲート電極の前記端部及び前記半導体層上に形成することを特徴とする請求項20記載の半導体装置の製造方法。

【請求項22】 前記第1の絶縁膜マスクを用いて、前記第1の絶縁膜マスクに隣接し、前記第1の拡散領域と反対側の前記素子領域内に、前記半導体層より高濃度の第1導電型の第2の拡散領域を形成する工程とをさらに含むことを特徴とする請求項21記載の半導体装置の製造方法。

【請求項23】 前記第1のゲート電極は、第1の方向に配置され、第1の部分と第2の部分とを有し、

前記第1の部分は前記第1の絶縁膜マスクの下に位置し、

前記第1の部分の端と前記半導体層の端との前記第1の方向と垂直な第2の方向における距離は、前記第2の部分の端と前記第1の拡散領域の端との前記第2の方向における距離より短くすることを特徴とする請求項21又は22記載の半導体装置の製造方法。

【請求項24】 前記第2の拡散領域を軸として、前記第1のゲート電極、前記第1の絶縁膜マスク及び前記第1の拡散領域と線対称に、第2のゲート電極、第2の絶縁膜マスク及び第3の拡散領域をそれぞれ一对形成し、前記第1のゲート電極と前記第2のゲート電極、前記第1の拡散領域と前記第3の拡散領域をそれぞれ接続することを特徴とする請求項22記載の半導体装置の製造方法。

【請求項25】 前記第1のゲート電極は、前記素子領域を横断して形成し、

前記第1の絶縁膜マスクは、前記一对の第1の拡散領域の一方側の前記半導体層上から少なくとも前記第1のゲート電極の一部上に至るまで形成することを特徴とする請求項20記載の半導体装置の製造方法。

【請求項26】 前記第1の絶縁膜マスクの周辺の前記素子領域内に、前記一对の第1の拡散領域の一方と隣接して前記半導体層より高濃度の第1導電型の第2の拡散領域を形成する工程とをさらに含むことを特徴とする請求項25記載の半導体装置の製造方法。

【請求項27】 前記第1の絶縁膜マスク下の前記半導体層と前記一对の第1の拡散領域の一方との境界付近に格子欠陥領域を形成する工程とをさらに含むことを特徴とする請求項25記載の半導体装置の製造方法。

【請求項28】 前記第1の絶縁膜マスクを形成するとともに、前記第1のゲート電極の側壁にスペーサを形成することを特徴とする請求項20、21、25のいずれ

か1項に記載の半導体装置の製造方法。

【請求項29】 前記半導体層は、絶縁膜上に形成することを特徴とする請求項20、21、25のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁膜上の半導体層に形成されたMIS (Metal Insulator Semiconductor) トランジスタを備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】絶縁膜上に単結晶シリコン膜が形成された基板、いわゆるSOI (Silicon On Insulator) 基板は、高性能の半導体装置を実現できる基板として古くから研究の対象となっている。近年、ウエハ技術の発展に伴い、このSOI基板の応用方法が盛んに議論されるようになってきた。

【0003】図21、図22は、従来技術によるNMOSトランジスタを備えた半導体装置の平面図を示す。図23は、図21及び図22に示すXXIII-XXIII線に沿った半導体装置の断面図を示す。なお、図21、図22では、配線、コンタクト及び層間絶縁膜は省略している。

【0004】図21乃至図23に示すように、支持基板11上に形成された埋め込み酸化膜12とこの埋め込み酸化膜12上に形成された半導体層13とからなるSOI基板14が形成されている。半導体層13内の素子領域16内には、P<sup>-</sup>型の基板電位制御層17が形成され、この基板電位制御層17上にゲート電極20がゲート絶縁膜18を介して選択的に形成されている。このゲート電極20を挟んで素子領域16の表面にN<sup>+</sup>型のソース・ドレイン領域29、29'が形成され、このソース・ドレイン領域29、29'と対向する素子領域16内にP<sup>+</sup>型のボディコンタクト領域31が形成されている。

【0005】ここで、図10に示すゲート電極20は、ボディ領域からボディ延長領域まで直線状に配置されている。一方、図11に示すゲート電極20は、ボディ領域上に直線状に配置させた第1の部分20aと、この第1の部分20aと連続して第1の部分20とほぼ垂直方向に配置された幅D2の第2の部分20bとを有している。

【0006】なお、上記従来技術による半導体装置において、ボディ領域とは、ソース・ドレイン領域29、29'に挟まれたチャンネルが形成される領域を意味する。ボディ延長領域とは、ゲート長方向に対して垂直な方向でボディ領域と接し、ソース・ドレイン領域29、29'に挟まれていない領域を意味する。ボディコンタクト領域31とは、ゲート長方向に対して垂直な方向でボディ延長領域と接し、上部電極と良好なコンタクトをとるための高濃度の領域を意味する。

【0007】以上説明したトランジスタでは、ボディコンタクト領域31に電圧を印加することによりボディ領域の電位を制御することができるので、SOI基板を用いたときに問題となる基板浮遊効果を抑制することができる。また、ゲート電極20とボディ領域に同じ電位を与えると、ゲート電極20の電圧の上昇に伴ってしきい値が低下し、ドレイン電流が増加する。このため、バルク基板に形成したトランジスタよりも高性能な回路が可能となる。

【0008】ここで、基板浮遊効果によって発生する悪影響には、NMOSトランジスタのみからなるパスゲート回路がオフしている（ゲートが接地電位となっている）にもかかわらず、入力（ソース）が電源電圧から接地電位に変化した際にソース・ドレイン間に電流が流れてしまう「パスゲートリーク」や、インバータ回路のスイッチング速度が入力パルスの周波数に依存してしまう「ヒストリー効果」、ソース・ドレイン間耐圧の低下、などがある。これらは、回路を誤動作させたり、あるいは誤動作を回避するために回路の速度を犠牲にしたりする原因となる。

【0009】ところで、図21に示すトランジスタでは、高濃度のN型ソース・ドレイン領域29、29'と高濃度のP型ボディコンタクト領域31とが近接してPN接合耐圧が低下しないように、一定の距離d（例えばd=0.3μm程度）を確保する必要がある。一方、ソース・ドレイン領域29、29'及びボディコンタクト領域31を形成するには、これらの各領域を局部的に開口したレジストパターンを形成し、N型不純物あるいはP型不純物をイオン注入する。この製造方法では、2つのレジストパターンの合わせずれを考慮して、さらに距離s（例えばs=0.3μm程度）を余計に確保する必要がある。したがって、ソース・ドレイン領域29、29'とボディコンタクト領域31との間の距離D1（=d+s）を長く確保する必要があった。

【0010】しかし、距離D1を長くすると、トランジスタの占有面積が大きくなるため、チップの面積が大きくなり製造コストが増大してしまう。さらに、距離D1を長くすると、寄生抵抗が高くなるため、ボディ領域の電位の制御が困難になり、前述した基板浮遊効果に起因する問題が生じる。

【0011】また、図21に示すトランジスタは、ソース・ドレイン領域29、29'、P型の基板電位制御層17及びボディコンタクト領域31が連続している。このため、半導体層13の表面に自己整合的にシリサイドを形成する（シリサイドを形成する）と、上記すべての領域がショートしてしまうので、シリサイドを形成することはできない。しかし、ゲート長が0.1μm以下のトランジスタでは、シリサイドを形成しないと、ソース・ドレインの寄生抵抗によりトランジスタの駆動力が著しく劣化し、回路のスイッチング速度が低下する。

【0012】一方、図22に示すトランジスタでは、ソース・ドレイン領域29、29'及びボディコンタクト領域31を形成するには、ゲート電極20の第2の部分20bをイオン注入時のマスクとし、N型不純物あるいはP型不純物をイオン注入する。この製造方法では、高濃度のN型ソース・ドレイン領域29、29'と高濃度のP型ボディコンタクト領域31とが近接しないように、ゲート電極20のパターンと自己整合的にソース・ドレイン領域29、29'及びボディコンタクト領域31を形成することができる。このため、図21に示すトランジスタよりも距離D2は0.3μm程度と短くすることができ、面積や寄生抵抗の増大を極力抑えることができる。また、図22に示すトランジスタは、サリサイドを形成することもできるので、ゲート長が0.1μm以下の場合も、ボディコンタクトを有するトランジスタの形として、現在標準的に用いられている。

【0013】しかし、ゲート電極20の第2の部分20bと基板電位制御層17とが対向する領域100に寄生的なゲート容量が発生する。このため、回路のスイッチング速度が低下するという問題があった。

【0014】

【発明が解決しようとする課題】本発明は上記課題を解決するためになされたものであり、その目的とするところは、寄生容量を低減することが可能な半導体装置及びその製造方法を提供することにある。

【0015】

【課題を解決するための手段】本発明は、前記目的を達成するために以下に示す手段を用いている。

【0016】本発明の第1の視点による半導体装置は、素子領域内に形成された第1導電型の半導体層と、前記半導体層上にゲート絶縁膜を介して選択的に形成された第1のゲート電極と、少なくとも前記第1のゲート電極の一部及び前記半導体層の一部上に形成された第1の絶縁膜マスクと、前記第1の絶縁膜マスク及び前記第1のゲート電極で覆われていない前記素子領域内に前記第1のゲート電極に隣接して形成され、ソース又はドレインとして使用される第2導電型の一对の第1の拡散領域とを具備している。

【0017】本発明の第2の視点による半導体装置の製造方法は、素子領域を形成する工程と、前記素子領域内に第1導電型の半導体層を形成する工程と、前記半導体層上に第1のゲート電極をゲート絶縁膜を介して選択的に形成する工程と、少なくとも前記第1のゲート電極の一部及び前記半導体層の一部上に第1の絶縁膜マスクを形成する工程と、前記第1の絶縁膜マスクを用いて、前記第1のゲート電極に隣接する前記素子領域内に、ソース又はドレインとして使用する第2導電型の一对の第1の拡散領域を形成する工程とを含んでいる。

【0018】

【発明の実施の形態】本発明の実施の形態を以下に図面

を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0019】なお、以下の説明において、ボディ領域とは、ソース・ドレイン領域に挟まれたチャネルが形成される領域を意味する。ボディ延長領域とは、ボディ領域と隣接し、ソース・ドレイン領域に挟まれていない領域を意味する。ボディコンタクト領域とは、ボディ延長領域と隣接し、上部電極と良好なコンタクトをとるための高濃度の領域を意味する。

【0020】[第1の実施形態] 図1は、本発明の第1の実施形態に係る半導体装置の平面図を示す。なお、図1では、ゲート電極の側面に形成されたスペーサやシリサイド膜は省略している。

【0021】図1に示すように、半導体層13の素子領域16内にP<sup>-</sup>型の基板電位制御層17が形成され、この基板電位制御層17上にゲート電極20がゲート絶縁膜(図示せず)を介して選択的に形成されている。このゲート電極20は、素子分離領域から素子領域16まで延長させた直線状のパターンで、ゲート電極20の端部が素子領域16内で終端している。そして、ゲート電極20の端部及び基板電位制御層17上に、ゲート長方向に素子領域16を横断して、絶縁膜マスク27が形成されている。また、ゲート電極20を挟んだ素子領域16内に、N<sup>+</sup>型のソース・ドレイン領域29、29'が形成されている。このソース・ドレイン領域29、29'及びこれらに挟まれたチャネルが形成されるボディ領域と対向する素子領域16内には、絶縁膜マスク27を挟んでP<sup>+</sup>型のボディコンタクト領域31が形成されている。ここで、N<sup>+</sup>型のソース・ドレイン領域29、29'とP<sup>+</sup>型のボディコンタクト領域31との距離は、絶縁膜マスク27の幅Dで自己整合的に決定されている。

【0022】なお、ソース・ドレイン領域29、29'側の絶縁膜マスク27の下において、ゲート電極20を挟んだ基板電位制御層17の表面には、後述するN<sup>-</sup>型のエクステンション領域(図示せず)が形成されている。

【0023】図2(a)、(b)、(c)乃至図7

(a)、(b)、(c)は、本発明の第1の実施形態に係る半導体装置の製造工程の断面図を示す。ここで、各図(a)は図1に示すA-A線に沿った半導体装置の断面図を示し、各図(b)は図1に示すB-B線に沿った半導体装置の断面図を示し、各図(c)は図1に示すC-C線に沿った半導体装置の断面図を示す。また、図8は、第1の実施形態に係る半導体装置の製造工程に用いるレジストのパターンの平面図を示す。この図8では、N型不純物注入領域を開孔したレジストパターンと絶縁膜マスクのレジストパターンとの重なる領域に形成されたN<sup>-</sup>型のエクステンション領域は省略してある。以下、本発明の第1の実施形態に係る半導体装置の製造方

法について説明する。

【0024】まず、図2(a)、(b)、(c)に示すように、支持基板11上に形成された埋め込み酸化膜12とこの埋め込み酸化膜12上に形成された半導体層13とからなるSOI(Silicon On Insulator)基板14が形成される。次に、半導体層13内に素子分離絶縁膜15が選択的に形成されることにより、パターニングされた島状の素子領域16が形成される。

【0025】次に、図3(a)、(b)、(c)に示すように、トランジスタのしきい値を調整するために、素子領域16内に $10^{17}$ 乃至 $10^{18}$  cm<sup>-3</sup>程度の濃度のP型不純物が導入され、P<sup>-</sup>型の基板電位制御層17が形成される。次に、素子領域16上にゲート絶縁膜18が形成され、このゲート絶縁膜18上にポリシリコン膜が堆積される。このポリシリコン膜上にレジスト(図示せず)が形成され、このレジストが図8に示すゲート電極のレジストパターン19にパターニングされる。このパターニングされたレジストをマスクとして、ポリシリコン膜が選択的に除去され、ゲート電極20が形成される。

【0026】次に、図8に示すN型不純物注入領域を開孔したレジストパターン21をマスクとして、素子領域16の表面に低濃度のN型の不純物が導入される。その結果、図4(a)、(b)、(c)に示すように、N<sup>-</sup>型のエクステンション領域22が形成される。

【0027】次に、図5(a)、(b)、(c)に示すように、基板全面に例えば20 nm程度の膜厚の酸化膜23が堆積され、この酸化膜23上に例えば70 nm程度の膜厚の窒化膜24が堆積される。

【0028】次に、図8に示す絶縁膜マスクのレジストパターン25をマスクとして、異方性エッチングにより窒化膜24が選択的に除去される。この際、エッチング時間は、後述するソース・ドレイン領域29、29'上の窒化膜24は除去されて、ゲート電極20の側壁には窒化膜24が残存するように調整される。その結果、図6(a)に示すように、ゲート電極20の側壁に窒化膜24からなるスペーサ26が形成される。このスペーサ26が形成されると同時に、図6(b)、(c)に示すように、ボディ延長領域には絶縁膜マスク27が形成される。

【0029】次に、図8に示すN型不純物注入領域を開孔したレジストパターン28をマスクとして、素子領域16内に高濃度のN型不純物がイオン注入される。その結果、図6(a)に示すように、ゲート電極20を挟んで、N<sup>+</sup>型のソース・ドレイン領域29、29'が形成される。

【0030】次に、図8に示すP型不純物注入領域を開孔したレジストパターン30をマスクとして、素子領域16内に高濃度のP型不純物がイオン注入される。その結果、図6(c)に示すように、P<sup>+</sup>型のボディコンタ



クト領域31が形成される。

【0031】ここで、ソース・ドレイン領域29、29'及びボディコンタクト領域31の形成において、N型不純物及びP型不純物は、酸化膜23及び窒化膜24を突き抜けないような加速エネルギーによってイオン注入される。したがって、図6(b)に示すように、N型不純物及びP型不純物は、絶縁膜マスク27を形成した領域下の基板電位制御層17内には注入されない。

【0032】次に、図7(a)、(b)、(c)に示すように、ウェットエッチングにより、酸化膜23、窒化膜24及び素子分離絶縁膜15が除去され、ボディコンタクト領域31、ソース・ドレイン領域29、29'及びゲート電極20の表面が露出される。このボディコンタクト領域31、ソース・ドレイン領域29、29'及びゲート電極20の露出された表面上に、シリサイド膜61が形成される。その後は、通常のMOSトランジスタを形成する製造工程を適用することによって、MOSトランジスタが完成する。

【0033】なお、シリサイド膜61は必ずしも形成する必要はないが、シリサイド膜61を形成することにより、ボディコンタクト領域31、ソース・ドレイン領域29、29'及びゲート電極20の低抵抗化を図れるという効果を有する。

【0034】上記第1の実施形態によれば、ゲート電極20のパターンは、ボディ領域からボディ延長領域まで延長させた直線状のパターンである。このため、従来の図22に示すT字型のゲート電極20に比べ、寄生ゲート領域100の面積は大幅に縮小される。したがって、寄生的なゲート容量を低減することができるため、回路のスイッチング速度の低下を防止できる。その結果、信頼性が高く高性能な回路を実現することができる。

【0035】また、ソース・ドレイン領域29、29'及びボディコンタクト領域31の形成において、絶縁膜マスク27をイオン注入時のマスクとして用いている。このため、絶縁膜マスク27と自己整合的に高濃度のN型ソース・ドレイン領域29、29'と高濃度のP型ボディコンタクト領域31とが近接しないように形成できる。つまり、N型ソース・ドレイン領域29、29'とP型ボディコンタクト領域31との距離は、絶縁膜マスク27の幅Dで自己整合的に決まるため、幅Dを0.3μm程度まで小さくすることが可能になる。したがって、従来の図21に示す構造に比べ、トランジスタの占有面積を小さくすることができるため、チップの面積が大きくなり製造コストが増大するという問題を回避できる。加えて、寄生抵抗の増大を抑制でき、ボディ領域の電位の制御が可能になるため、トランジスタの耐圧が劣化したり回路が誤動作したりするといった基板浮遊効果に起因する問題も回避できる。

【0036】さらに、絶縁膜マスク27は、ソース・ドレイン領域29、29'を形成する際に用いられるスベ

ーサ26と同じ材料(酸化膜23と窒化膜24)を用いている。このため、製造コストを増大させることなく、第1の実施形態に係る半導体装置の形成が可能である。

【0037】なお、絶縁膜マスク27は、酸化膜23と窒化膜24との積層構造のマスクであったが、単層構造のマスクであっても、上記第1の実施形態の効果をj得ることはできる。

【0038】[第2の実施形態] 第2の実施形態は、第1の実施形態の素子領域のパターンを変形させることにより、PN接合面を縮小した例である。なお、第2の実施形態において、上記第1の実施形態と同様の構造については説明を省略し、異なる構造についてのみ説明する。

【0039】図9は、本発明の第2の実施形態に係る半導体装置の平面図を示す。図9に示すように、第2の実施形態に係る半導体装置では、MOSトランジスタのゲート長方向に関し、ボディ領域における素子領域16'の幅よりもボディ延長領域における素子領域16'の幅が狭くなっている。したがって、絶縁膜マスク27が形成される素子領域16' (基板電位制御層17)の端とゲート電極20とのゲート長方向における距離Xは、ソース・ドレイン領域29、29'の端とゲート電極20とのゲート長方向における距離、すなわちドレイン領域29又はソース領域29'の主たる長さYよりも短くなっている。

【0040】なお、第2の実施形態に係る半導体装置の製造方法は、ボディ領域の幅よりもボディ延長領域の幅が狭くなっているパターンに素子領域16'を形成する以外は、第1の実施形態と同様の方法であるため、説明は省略する。

【0041】上記第2の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0042】さらに、第1の実施形態と比べて、ドレイン領域29又はソース領域29'のN<sup>+</sup>型拡散領域と基板電位制御層17のP<sup>-</sup>型拡散領域との接触面40が小さくなる。つまり、寄生的なPN接合の長さが短くなるため、寄生容量が小さくなり、回路の高速動作が可能になる。また、リーク電流も少なくなり、回路の低消費電力化が可能になる。

【0043】[第3の実施形態] 第3の実施形態は、ボディコンタクト領域を挟んで、ゲート電極及びソース・ドレイン領域を形成し、1対のゲート電極及び1対のドレイン領域(又はソース領域)をそれぞれ接続して1つのトランジスタとして動作させた例である。なお、第3の実施形態において、上記第1の実施形態と同様の構造については説明を省略し、異なる構造についてのみ説明する。

【0044】図10は、本発明の第3の実施形態に係る半導体装置の平面図を示す。図10に示すように、第3の実施形態に係る半導体装置では、絶縁膜マスク27

a、27b、ゲート電極20a、20b及びソース・ドレイン領域29a、29a'、29b、29b'が、P<sup>+</sup>型のボディコンタクト領域31を挟んで線対称にそれぞれ形成されている。そして、線対称に形成されたゲート電極20aとゲート電極20b、ソース領域29aとソース領域29b又はドレイン領域29bとドレイン領域29b'がそれぞれ配線(図示せず)で接続され、1つのトランジスタを構成している。

【0045】また、第3の実施形態に係る半導体装置を製造するにあたり、図11に示す第1、第2のN型不純物注入領域を開口したレジストパターン28'をマスクとして、素子領域16内に高濃度のN型不純物がイオン注入され、ボディ領域にソース・ドレイン領域29a、29a'、29b、29b'が形成される。また、図11に示すP型不純物注入領域を開口したレジストパターン30をマスクとして、素子領域16内に高濃度のP型不純物がイオン注入され、P<sup>+</sup>型のボディコンタクト領域31が形成される。なお、第3の実施形態に係る半導体装置の製造方法は、第1の実施形態とほぼ同じであるため説明は省略する。

【0046】上記第3の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0047】さらに、上記第1、第2の実施形態では、素子領域16のパターンと絶縁膜マスク27のパターンとの合わせずれにより、ゲート幅W(図1、図9参照)がばらつくおそれがある。これに対し、第3の実施形態では、各ゲート電極20a、20bのゲート幅W1、W2を図1に示すゲート幅Wの1/2にして、2つのゲート電極20a、20bを線対称となるように設けている。これにより、一方の絶縁膜マスク27aに合わせずれが生じて一方のゲート幅W1が短くなった場合でも、同時に他方の絶縁膜マスク27bにも合わせずれが生じて他方のゲート幅W2が長くなるため、結果的に2つのゲート幅を合わせた幅W(=W1+W2)のばらつきを抑えることができる。したがって、トランジスタの電流駆動力のばらつきを抑制できる。

【0048】なお、第3の実施形態では、第1の実施形態に係る素子領域16のパターンを用いたが、第2の実施形態に係る素子領域16'のパターンを用いてもよい。この場合、上記第3の実施形態の効果が得られるだけでなく、第2の実施形態の効果も得ることができる。

【0049】[第4の実施形態] 第4の実施形態は、ボディコンタクト領域とソース領域とを同電位に設定する場合に有効な構造であり、また絶縁膜マスクが素子領域の端部に存在する例である。なお、第4の実施形態において、上記第1の実施形態と同様の構造については説明を省略し、異なる構造についてのみ説明する。

【0050】図12は、本発明の第4の実施形態に係る半導体装置の平面図を示す。図13(a)は、図12のXIIIA-XIIIA'線に沿った半導体装置の断面図を示し、

図13(b)は、図12のXIIIB-XIIIB'線に沿った半導体装置の断面図を示し、図13(c)は、図12のXIIIC-XIIIC'線に沿った半導体装置の断面図を示す。

【0051】図12、図13(a)、(b)、(c)に示すように、第4の実施形態に係る半導体装置では、ゲート電極20は、素子領域16を横断して形成され、この素子領域16上において直線状のパターンとなっている。そして、素子領域16の端部において、ゲート電極20の一部及び基板電位制御層17上に、ゲート長方向にゲート電極20を跨いで、絶縁膜マスク27が形成されている。また、ゲート電極20を挟んで素子領域16の表面にN<sup>+</sup>型のソース・ドレイン領域29、29'が形成されている。ソース領域29側の絶縁膜マスク27の一部の周辺には、ソース領域29に接するP<sup>+</sup>型のボディコンタクト領域31が形成され、このボディコンタクト領域31はゲート電極20とは所定間隔離間している。また、絶縁膜マスク27の下には、基板電位制御層17と、この基板電位制御層17の表面に形成されたエクステンション領域22とが存在している。また、ボディコンタクト領域31、ソース・ドレイン領域29、29'及びゲート電極20上にはシリサイド膜61が形成され、このシリサイド膜61でボディコンタクト領域31とソース領域29とが接続されている。

【0052】なお、ボディコンタクト領域31とソース領域29とは半導体層13内で接続されているため、ボディコンタクト領域31及びソース領域29上にシリサイド膜61を必ずしも形成する必要はない。但し、シリサイド膜61を設けた方が、ボディコンタクト領域31及びソース領域29をより安定的に同電位に保つことができる。

【0053】また、シリサイド膜61を形成する場合、シリサイド膜61はボディコンタクト領域31及びソース領域29の境界部分に形成されていればよく、ドレイン領域29'やゲート電極20上に必ずしも形成する必要はない。但し、ドレイン領域29'やゲート電極20上にもシリサイド膜61を形成した場合、トランジスタの低抵抗化を図ることができる。

【0054】また、ボディコンタクト領域31とソース領域29とは、シリサイド膜61を用いて接続することに限定されない。例えば、図14に示すように、ボディコンタクト領域31及びソース領域29の境界部分にコンタクト62を形成し、このコンタクト62を用いてボディコンタクト領域31とソース領域29とを接続してもよい。

【0055】また、絶縁膜マスク27は、ソース領域29側からドレイン領域29'側に至るまで、ゲート電極20を跨いで形成される必要はない。例えば、パターンニング時の合わせずれを考慮すると、絶縁膜マスク27は、ソース領域29上からゲート電極20の一部を覆う程度に形成することが望ましい。なお、絶縁膜マスク2

7は、ゲート長方向に素子領域16を横断するように形成することも可能である。

【0056】また、絶縁膜マスク27は、第1の実施形態のように、酸化膜と窒化膜との積層膜により形成されているとよく、単層膜及び積層膜のどちらでもよい。

【0057】上記第4の実施形態によれば、第1の実施形態と同様に、寄生ゲート領域100の面積は大幅に縮小される。したがって、寄生ゲート容量を低減することができるため、回路のスイッチング速度の低下を防止できる。その結果、信頼性が高く高性能な回路を実現することができる。

【0058】さらに、ソースとなる拡散領域が定まっているトランジスタ（例えばCMOSインバータ）に第4の実施形態の構造を適用すると、ボディコンタクト領域31とソース領域29とが接しているため、ボディコンタクト領域31とソース領域29とを同電位に保つことができる。このため、バスゲートリーク電流の発生、ヒストリー効果の発生及び耐圧の劣化といった基板浮遊効果に起因する問題の発生を防止することができる。したがって、回路が誤動作したり、あるいは誤動作を回避するために回路の速度を犠牲にしたりすることを抑制できる。

【0059】ここで、バスゲートリーク電流とは、NMOSトランジスタのみからなるバスゲート回路がオフしている（ゲートが接地電位となっている）にもかかわらず、入力（ソース）が電源電圧から接地電位に変化した際にソース・ドレイン間に電流が流れてしまうことをいう。また、ヒストリー効果とは、インバータ回路のスイッチング速度が入力パルスの周波数に依存してしまうことをいう。

【0060】〔第5の実施形態〕第5の実施形態は、第4の実施形態の変形例である。つまり、第4の実施形態における絶縁膜マスクの位置を変更した、ボディコンタクト領域とソース領域とを同電位に設定する場合に有効な構造である。なお、第5の実施形態において、上記第1及び第4の実施形態と同様の構造については説明を省略し、異なる構造についてのみ説明する。

【0061】図15は、本発明の第5の実施形態に係る半導体装置の平面図を示す。図16(a)は、図15のXVIA-XVIA線に沿った半導体装置の断面図を示し、図16(b)は、図15のXVIB-XVIB線に沿った半導体装置の断面図を示し、図16(c)は、図15のXVIC-XVIC線に沿った半導体装置の断面図を示す。

【0062】図15、図16(a)、(b)、(c)に示すように、第5の実施形態に係る半導体装置では、素子領域16の中央部に絶縁膜マスク27が配置され、この絶縁膜マスク27でゲート電極20の一部を覆っている。また、ソース領域29側の絶縁膜マスク27の一部の周辺には、ソース領域29に接するP<sup>+</sup>型のボディコンタクト領域31が形成されている。また、ボディコン

タクト領域31、ソース・ドレイン領域29、29'及びゲート電極20上にはシリサイド膜61が形成され、このシリサイド膜61でソース領域29とボディコンタクト領域31とが接続されている。

【0063】なお、絶縁膜マスク27を素子領域16の中央部に配置すると、この絶縁膜マスク27によって、素子領域27を横断するゲート電極20上にシリサイド膜61が形成されない領域が存在する。このため、ゲート抵抗の低減を図るためには、ゲート電極20の両端部にコンタクト63を設けることが望ましい。

【0064】上記第5の実施形態によれば、第1の実施形態と同様に、寄生ゲート領域100の面積は大幅に縮小される。したがって、寄生ゲート容量を低減することができるため、回路のスイッチング速度の低下を防止できる。その結果、信頼性が高く高性能な回路を実現することができる。

【0065】また、第4の実施形態と同様に、ボディコンタクト領域31とソース領域29とを同電位に保つことができる。このため、バスゲートリーク電流の発生、ヒストリー効果の発生及び耐圧の劣化といった基板浮遊効果に起因する問題の発生を防止することができる。

【0066】さらに、第5の実施形態では、絶縁膜マスク27と素子領域16とのパターンの合わせずれが生じた場合、第1のゲート幅W3が短くなると第2のゲート幅W4が長くなり、第1のゲート幅W3が長くなると第2のゲート幅W4が短くなる。したがって、合わせずれが生じて、第1のゲート幅W3と第2のゲート幅W4とを合わせたゲート幅は変化しないため、トランジスタの駆動力のばらつきを低減することができる。

【0067】〔第6の実施形態〕第6の実施形態は、PN接合付近に格子欠陥を形成した例である。なお、第6の実施形態において、上記第1の実施形態と同様の構造については説明を省略し、異なる構造についてのみ説明する。

【0068】図17は、本発明の第6の実施形態に係る半導体装置の平面図を示す。図18(a)は、図17のXVIII A-XVIII A線に沿った半導体装置の断面図を示し、図18(b)は、図17のXVIII B-XVIII B線に沿った半導体装置の断面図を示し、図18(c)は、図17のXVIII C-XVIII C線に沿った半導体装置の断面図を示す。

【0069】図17、図18(a)、(b)、(c)に示すように、第6の実施形態に係る半導体装置では、ソース領域29側の素子領域16内に、ゲート電極20と所定間隔離間して、格子欠陥領域71が形成されている。この格子欠陥領域71は、絶縁膜マスク27の下に形成されたエクステンション領域22及び基板電位制御層17間からソース領域29内に至るまで、延在している。つまり、格子欠陥領域71は、N<sup>-</sup>型のエクステンション領域22とP<sup>-</sup>型の基板電位制御層17との間に

形成されるPN接合の付近と、P<sup>-</sup>型の基板電位制御層17とN<sup>+</sup>型のソース領域29との間に形成されるPN接合の付近とに設けられている。

【0070】なお、格子欠陥領域71は、少なくとも基板電位制御層17とソース領域29との間に形成されるPN接合の付近に存在していればよい。また、格子欠陥領域71は、エクステンション領域22の下面より深い位置に形成してあればよく、エクステンション領域22に接する程度の浅い位置に形成してもよいし、埋め込み酸化膜12に接する程度の深い位置に形成してもよい。

【0071】図19は、第6の実施形態に係る半導体装置の製造工程に用いるレジストのパターンの平面図を示す。第6の実施形態に係る半導体装置の製造方法において、第1の実施形態と異なる点は、ボディコンタクト領域31を形成せずに、格子欠陥領域71を形成する点である。この格子欠陥領域71は、例えば、次のように形成される。

【0072】まず、格子欠陥領域71を開口した図19に示すレジストパターン72が形成される。このレジストパターン72は、合わせずれが生じてもドレイン領域29'側まで開かないように形成する。そして、このレジストパターン72をマスクとして、例えば、 $1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でアルゴンをイオン注入する。その後、熱処理を行うことにより、アルゴンをイオン注入した領域71は再結晶化するが、格子欠陥が他の領域よりも高濃度に存在する。このようにして、格子欠陥領域71が形成される。

【0073】なお、格子欠陥領域71は、半導体層13内に結晶欠陥が生じれば形成できるため、イオン注入によって形成する方法に限定されず、例えば電子線やガンマ線を半導体層13に照射することによって形成することも可能である。

【0074】また、格子欠陥領域71の形成時期には特に限定はない。例えば、格子欠陥領域71は、P<sup>-</sup>型の基板電位制御層17を形成した後に形成してもよいし、絶縁膜マスク72を形成した後に形成してもよい。

【0075】また、イオン注入する不純物としてはアルゴンを用いることに限定されず、例えば、ゲルマニウム、シリコンなどを用いてもよい。

【0076】上記第6の実施形態によれば、第1の実施形態と同様に、寄生ゲート領域100の面積は大幅に縮小されるため、寄生ゲート容量を低減することができる。

【0077】さらに、第6の実施形態では、ソース領域29に形成された格子欠陥が再結合中心として作用し、ソース・ボディ間のPN接合の再結合電流が増大する。このため、トランジスタがオフしている時のボディ・ソース間の電位差が小さくなり、リーク電流の発生が低減する。これにより、回路の誤動作を防止し、回路の消費電力を低減することができる。

【0078】ところで、再結合中心を形成する技術は古くから提案されている。例えば、特開平5-52672号には、SOI層中に白金をイオン注入し、半導体層のバンドギャップの中間に近いエネルギーレベルの捕獲中心を形成した構造が提案されている。しかし、捕獲中心を素子領域の全体に形成すると、ドレイン領域とボディ領域との間のPN接合における逆方向の接合リーク電流も増大する。これは、順方向の再結合電流を増大させてリーク電流を低減するという効果を相殺してしまい、場合によっては、リーク電流を増大させてしまう。

【0079】また、この問題を防止するために、例えば、特開昭61-43475号には、ソース領域とボディ領域との間のPN接合にのみ捕獲中心を形成する構造が提案されている。しかし、100nm以下のゲート長では、レジストパターンの合わせずれの方が大きい。このため、ソース側のみを開口したイオン注入用のレジストパターンを形成することは、非常に困難である。

【0080】そこで、第6の実施形態では、上述した問題を回避するために、100nm以下のゲート長を有するトランジスタにおいても、絶縁膜マスク27によってボディ延長領域を形成し、ソース領域29とボディ延長領域との間のPN接合に再結合中心として作用する格子欠陥領域71を形成する。そして、再結合中心の濃度を調整し、再結合電流の大きさを調整することにより、トランジスタがオフしている時のボディ・ソース間の電位差を小さくすることができる。また、ドレイン領域29'側には格子欠陥領域71を形成しないため、ドレイン領域29'とボディ領域との間の逆方向のリーク電流は増大しない。

【0081】その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。例えば、上記各実施形態ではSOI基板を用いた半導体装置について説明したが、図20に示すように、通常のバルク基板81を用いることも可能である。また、上記各実施形態ではNMOSTランジスタを例にあげて説明したが、N型とP型の導電型を適宜入れ替えることにより、上記各実施形態をPMOSTランジスタに適用することも可能である。

【0082】さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0083】

【発明の効果】以上説明したように本発明によれば、寄生容量を低減することが可能な半導体装置及びその製造

方法を提供できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係わる半導体装置を示す平面図。

【図 2】本発明の第 1 の実施形態に係わる半導体装置の製造工程を示す断面図。

【図 3】図 2 に続く、本発明の第 1 の実施形態に係わる半導体装置の製造工程を示す断面図。

【図 4】図 3 に続く、本発明の第 1 の実施形態に係わる半導体装置の製造工程を示す断面図。

【図 5】図 4 に続く、本発明の第 1 の実施形態に係わる半導体装置の製造工程を示す断面図。

【図 6】図 5 に続く、本発明の第 1 の実施形態に係わる半導体装置の製造工程を示す断面図。

【図 7】図 6 に続く、本発明の第 1 の実施形態に係わる半導体装置の製造工程を示す断面図。

【図 8】本発明の第 1 の実施形態に用いるレジストマスクのパターンを示す平面図。

【図 9】本発明の第 2 の実施形態に係わる半導体装置を示す平面図。

【図 10】本発明の第 3 の実施形態に係わる半導体装置を示す平面図。

【図 11】本発明の第 3 の実施形態に用いるレジストマスクのパターンを示す平面図。

【図 12】本発明の第 4 の実施形態に係わる半導体装置を示す平面図。

【図 13】図 13 (a) は、図 12 の XIII A-XIII A 線に沿った半導体装置の断面図、図 13 (b) は、図 12 の XIII B-XIII B 線に沿った半導体装置の断面図、図 13 (c) は、図 12 の XIII C-XIII C 線に沿った半導体装置の断面図。

【図 14】本発明の第 4 の実施形態に係わる他の半導体装置を示す平面図。

【図 15】本発明の第 5 の実施形態に係わる半導体装置を示す平面図。

【図 16】図 16 (a) は、図 15 の XVI A-XVI A 線に沿った半導体装置の断面図、図 16 (b) は、図 15 の XVI B-XVI B 線に沿った半導体装置の断面図、図 16 (c) は、図 15 の XVI C-XVI C 線に沿った半導体装置の断面図。

【図 17】本発明の第 6 の実施形態に係わる半導体装置を示す平面図。

【図 18】図 18 (a) は、図 17 の XVIII A-XVIII A 線に沿った半導体装置の断面図、図 18 (b) は、図 1

7 の XVIII B-XVIII B 線に沿った半導体装置の断面図、図 18 (c) は、図 17 の XVIII C-XVIII C 線に沿った半導体装置の断面図。

【図 19】本発明の第 6 の実施形態に用いるレジストマスクのパターンを示す平面図。

【図 20】本発明の各実施形態に係わり、バルク基板を用いた場合の半導体装置の断面図。

【図 21】従来技術による半導体装置を示す平面図。

【図 22】従来技術による半導体装置を示す平面図。

10 【図 23】図 21、図 22 に示す XXIII-XXIII 線に沿った半導体装置の断面図。

【符号の説明】

11…支持基板、

12…埋め込み酸化膜、

13…半導体層、

14…SOI 基板、

15…素子分離絶縁膜、

16、16'…素子領域、

17…P<sup>-</sup>型の基板電位制御層、

20 18…ゲート絶縁膜、

19…ゲート電極のレジストパターン、

20、20a、20b…ゲート電極、

21、28、28'…N 型不純物注入領域を開口したレジストパターン、

22…N<sup>-</sup>型のエクステンション領域、

23…酸化膜、

24…窒化膜、

25…絶縁膜マスクのレジストパターン、

26…スペーサ、

30 27、27a、27b…絶縁膜マスク、

29、29a、29b…N<sup>+</sup>型のソース・ドレイン領域、

30…P 型不純物注入領域を開口したレジストパターン、

31…P<sup>+</sup>型のボディコンタクト領域、

40 40…N 型拡散領域と P 型拡散領域との接触面 (PN 接合面)、

61…シリサイド膜、

62、63…コンタクト、

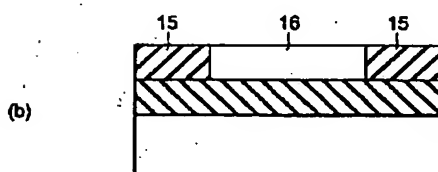
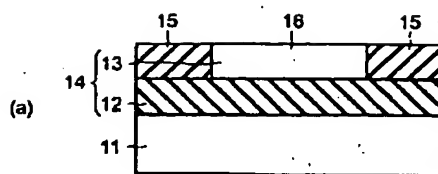
40 71…格子欠陥領域、

72…格子欠陥領域のレジストパターン、

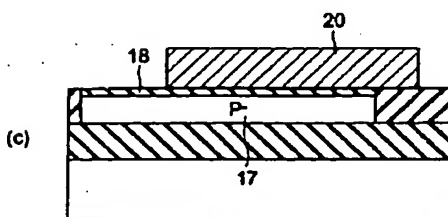
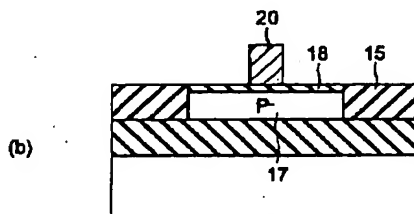
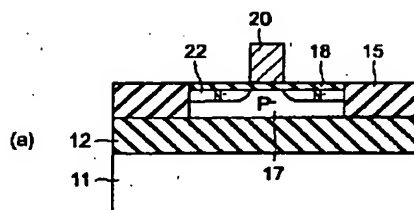
81…バルク基板、

100…寄生ゲート領域。

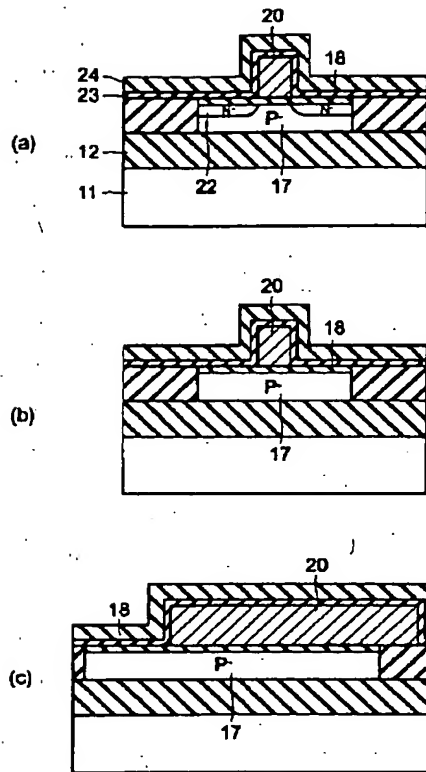
【図 2】



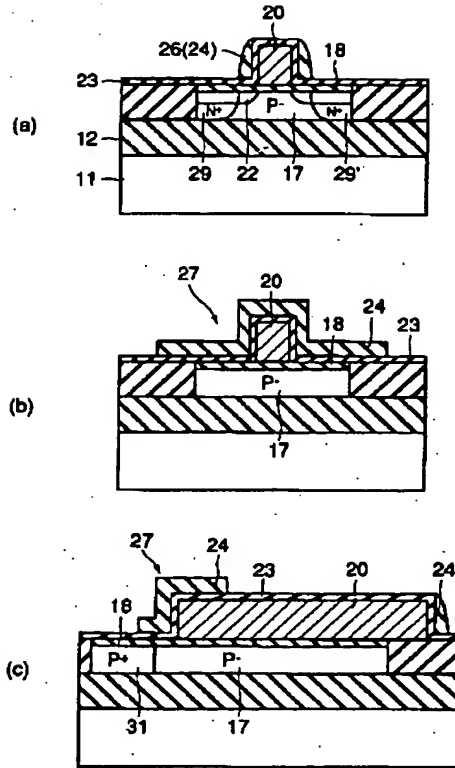
(c)



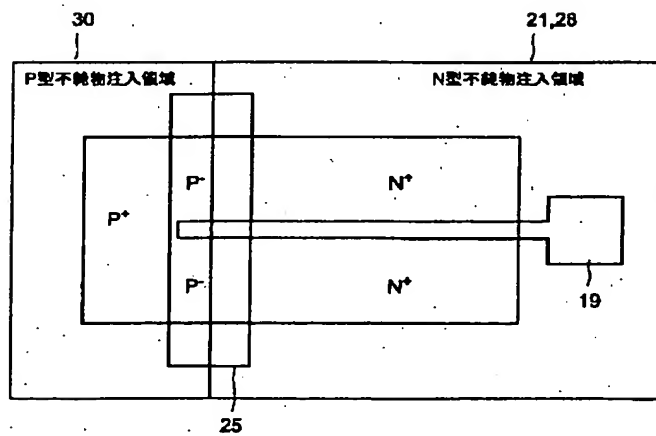
【図 5】



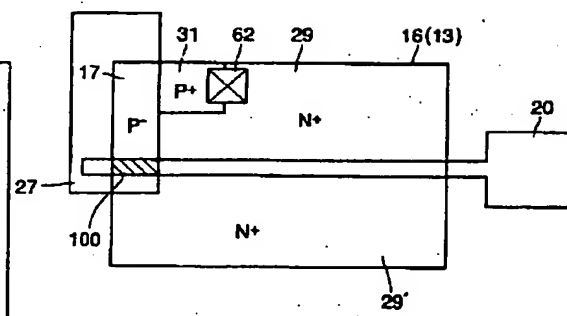
【図 6】



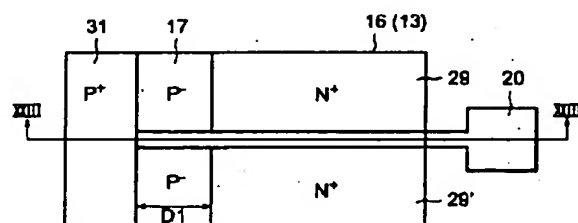
【図 8】



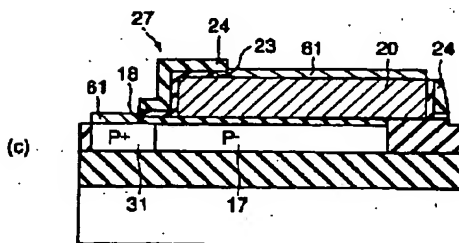
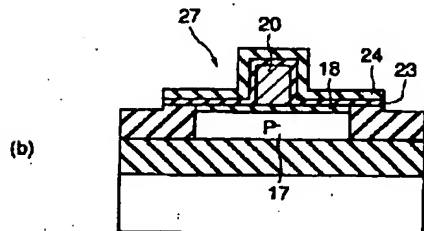
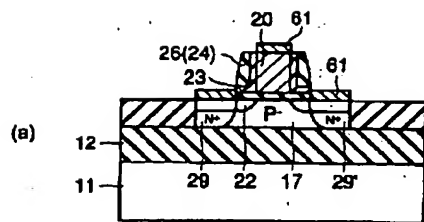
【図 14】



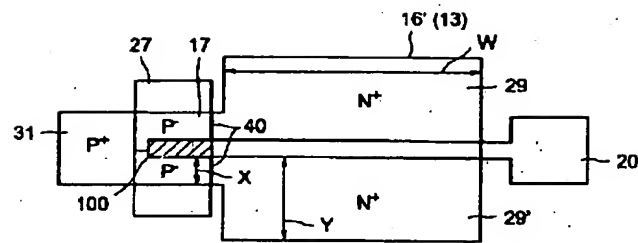
【図 21】



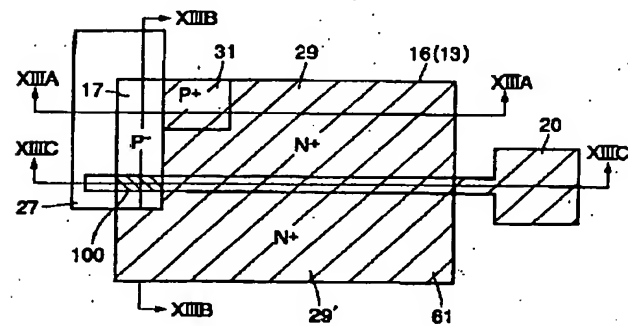
【図7】



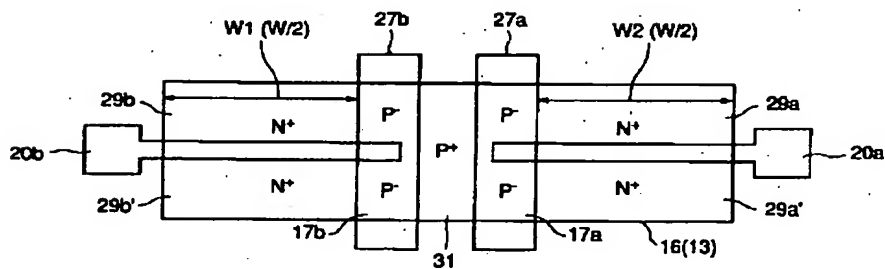
【図9】



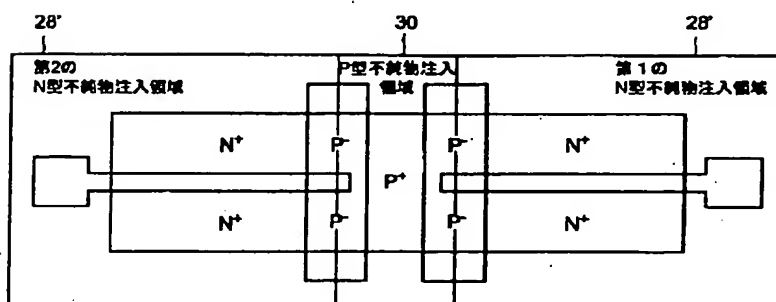
【図12】



【図10】

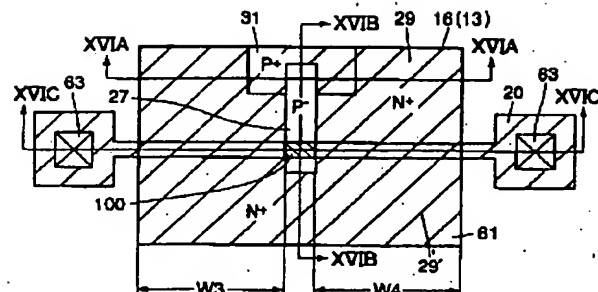


【図11】

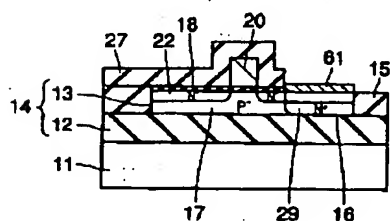




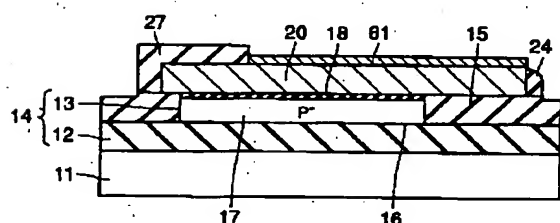
【図 1'5】



(a)

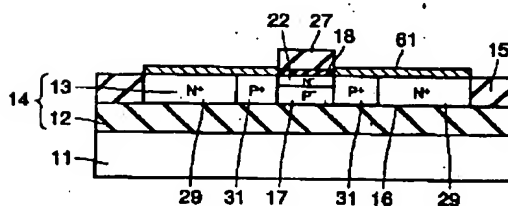


(b)

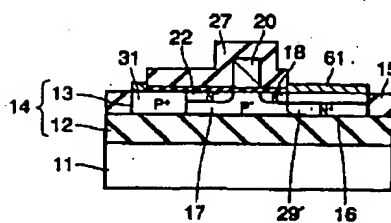


(c)

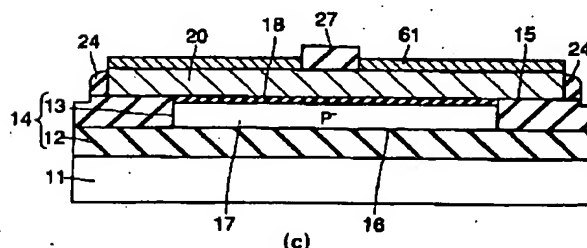
【図 16】



(B)

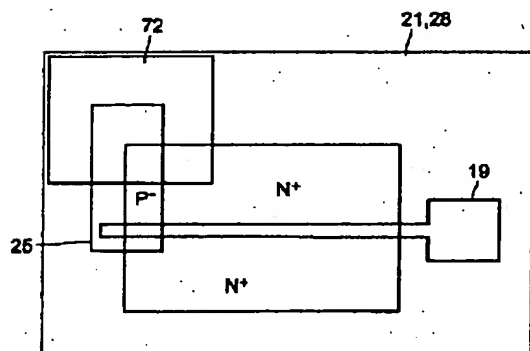


(b)

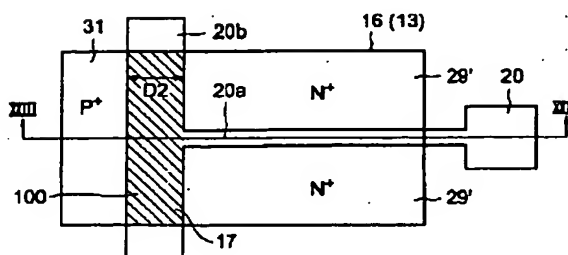


(c)

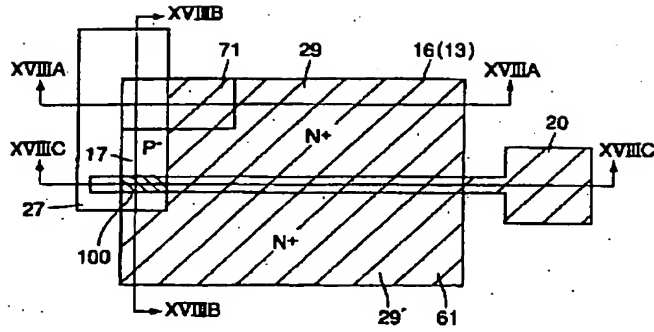
【圖 19】



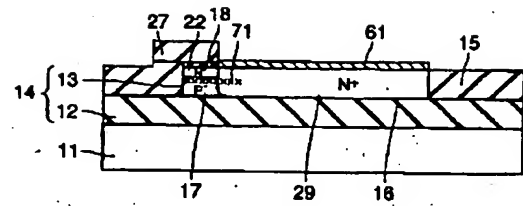
【図 22】



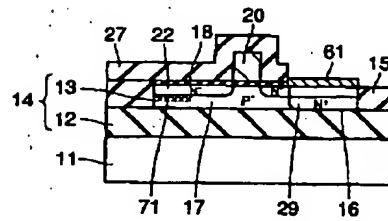
【図 17】



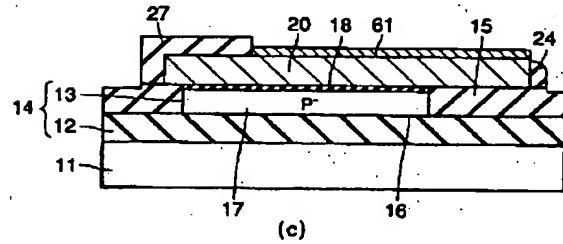
【図 18】



(a)

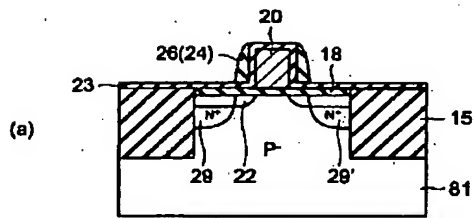


(b)

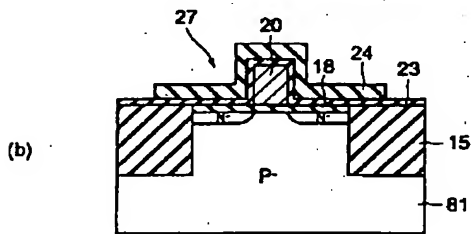


(c)

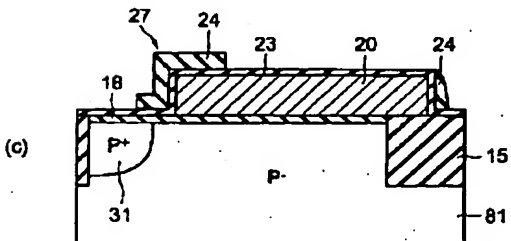
【図 20】



(a)



(b)



(c)

Fターム(参考)	5F110	AA02	AA03	AA06	AA09	AA15
		CC02	DD05	DD13	EE05	EE09
		EE14	EE24	EE32	EE37	EE42
		GG02	GG12	GG34	GG52	GG60
		HJ13	HK05	HM12	HM15	NN62
		PP01	QQ05	QQ11		
	5F140	AA01	AA02	AA10	AA11	AA24
		AC09	AC36	BA01	BF04	BF11
		BF18	BF51	BG08	BG09	BG12
		BG14	BH14	BH30	BH43	BH47
	BJ01	BJ08	BK02	CB04	CF04	